

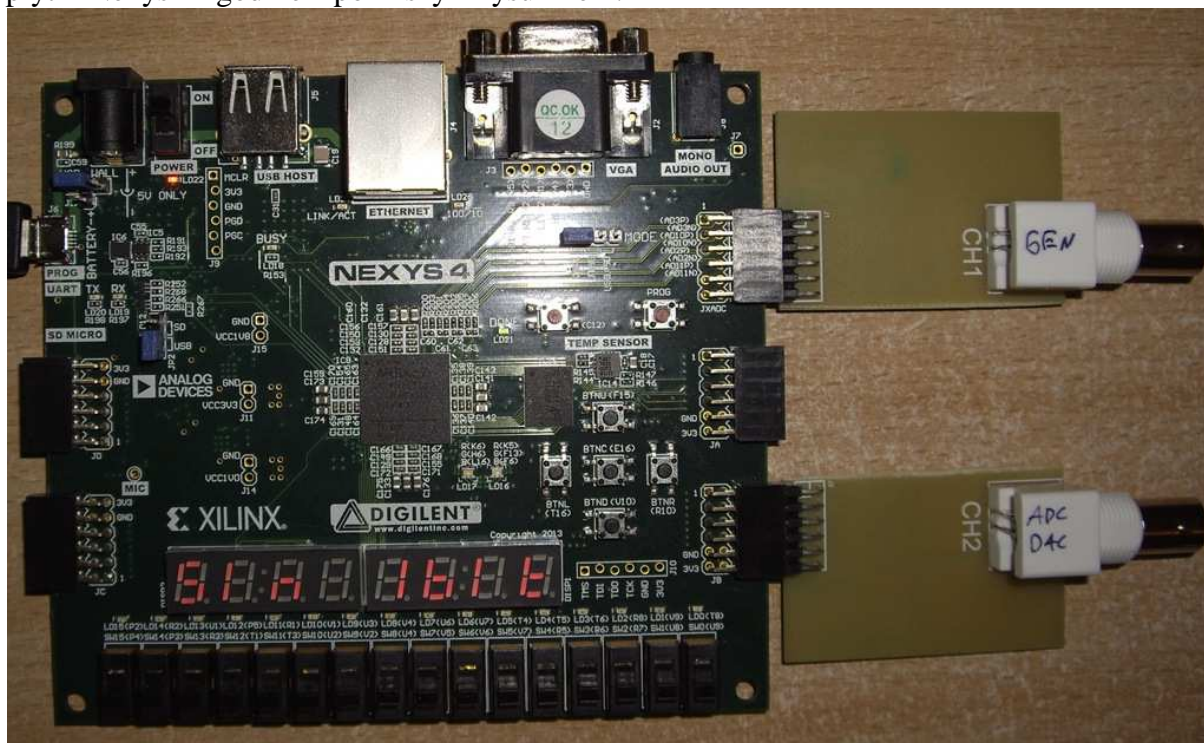
# Przetworniki Analogowo-Cyfrowe i Cyfrowo-Analogowe

## Laboratorium Techniki Cyfrowej

Ernest Jamro, Piotr Rzeszut, Katedra Elektroniki, AGH, Kraków, 2015-01-10

### 1. Przetworniki z drabinką R-2R i sterowanie aplikacjami demonstracyjnymi.

Podłącz moduły z przetwornikami cyfrowo-analogowymi opartymi na drabince R-2R do płytki Nexys 4 zgodnie z poniższym rysunkiem.



Rys. 1. Sposób podłączenia przetworników z płytką Nexys 4.

Aktualny stan aplikacji (parametry generowanych sygnałów, tryb pracy, itp.) prezentowany jest na wyświetlaczach siedmiosegmentowych. Sterowanie aplikacją odbywa się za pomocą 5 przycisków (push button): góra - BTNU, dół - BTND, prawo - BTNR, lewo - BTNL, centrum - BTNC). Ich funkcje dla każdej aplikacji oraz znaczenie symboli na wyświetlaczu jest opisane przy każdym z realizowanych ćwiczeń. Dłuższe przytrzymanie przycisków powoduje szybszą zmianę wartości.

### 1.1. Kwantyzacja

Podłącz wyjścia przetworników z oscyloskopem oraz zaprogramuj układ FPGA plikiem TC\_01.bit, który znajduje się w katalogu C:/TC/AC\_CA (jeśli go tam nie ma to ściągnij materiały – plik nazwie lab\_AC\_CA.zip i rozpakuj go do tego katalogu). Konfiguracja ta wymusza na wyjściu przetworników C/A sygnał piłokształtny lub sinusoidalny o częstotliwości około 100Hz i różnej rozdzielczości bitowej na kanale CH2 i o stałej rozdzielczości bitowej 7-bitów na kanale CH1.

Wyświetlacz							
1	2	3	4	5	6	7	8
Przebieg: SIN/SAW				Ilość bitów: 7...1			

Przyciski		
	<b>BTNU</b>	
	Zwiększenie ilości bitów	
<b>BTNL</b>	<b>BTNC</b>	<b>BTNR</b>
	Zmiana kształtu przebiegu	
	<b>BTND</b>	
	Zmniejszenie ilości bitów	

Zaobserwuj na oscyloskopie kanał ch1, ch2 oraz błąd kwantyzacji czyli różnicę tych dwóch kanałów (użyj przycisku: Math, Operation – odejmowanie). Zaobserwuj przebiegi na oscyloskopie dla różnych rozdzielczości bitowych oraz przebiegów piłokształtnego i sinusoidalnego. Zapisz wybrane dwa przebiegi.

Jaka jest wartość kwantu dla różnych rozdzielczości bitowych? Czy w idealnym przetworniku powinna być ona na poziomie błędu kwantyzacji?

Bit	2	3	4	5
Waga 1LSB				

Wzór na wagę 1 LSB: .....

Głównym źródłem zniekształceń jest kwantyzacja. Dla jakiej rozdzielczości bitowej zniekształcenia są niewidoczne (jaka jest dokładność bitowa oscyloskopu)?

Ustaw przebieg sinusoidalny oraz rozdzielczość 3-bitową. Następnie na oscyloskopie ustaw wyświetlanie danych w formacie FFT: częstotliwość-(oś X) – amplituda (oś Y). Aby tego dokonać należy wybrać MENU MATH a następnie wybrać Operation: FFT, jako źródło wybierz kanał 2 (ch2). Wybierz rozdzielczość X: 50Hz. Oszacuj jaka jest odległość na osi Y (w dB) pomiędzy prążkiem 100Hz a następnym prążkiem. Następnie zwiększ rozdzielczość bitową przetwornika na 4-bity i 5 bity i oszacuj powtórnie odległość pomiędzy prążkiem 100Hz i następnym prążkiem. W sprawozdaniu wyjaśnij otrzymane dane z teorią. Uwaga: poprawne liczenie współczynnika SNR (sygnału do szumu kwantyzacji) wymaga odpowiedniego sumowania wszystkich prążków różnych od 100Hz, jednak dla celów szacunkowych wystarczy wybrać największy z tych prążków. Podczas pomiarów pominać składową stałą.

Bit	2	3	4
SNR			

Wzór na SNR: .....

## 2. Błędy

Zaprogramuj układ FPGA plikiem TC\_02.bit, który generuje przebieg piłokształtny. Zaobserwuj przebiegi dla różnych ustawień błędów. Na kanale CH2 znajduje się przebieg odniesienia (idealny) dlatego aby łatwiej było zaobserwować różnice ustawień należy zsynchronizować przebieg (ang. trigger) względem kanału CH2. Odpowiedz uzasadnij w sprawozdaniu. Na oscyloskopie ustaw taki sam poziom zera dla kanałów CH1 i CH2 (przebiegi powinny się nakładać).

Wyświetlacz							
1	2	3	4	5	6	7	8
Kod błędu							

Przyciski		
	<b>BTNU</b>	
	Zmiana błędu	
<b>BTNL</b>	<b>BTNC</b>	<b>BTNR</b>
	<b>BTND</b>	
	Zmiana błędu	

Kod błędu	Opis błędu
A0	
A1	
A2	
A3	
b0	
b1	
b2	
b3	

### 3. Przetwornik C/A Sigma-Delta oraz Pulse Width Modulator (PWM)

Zaprogramuj układ FPGA plikiem TC\_03.bit. Na kanale CH1 jest przedstawiony wynik dla przetwornika sigma-delta natomiast na kanale CH2 dla przetwornika PWM. Układ umożliwia zadanie wartości stałej na wejście przetwornika, bądź też zadawanie na jego wejściu automatycznie przebiegu piłokształtnego. Ustaw wyzwalanie względem kanału CH2.

Wyświetlacz								
1	2	3	4	5	6	7	8	
Wartość zadana na przetworniku / Symbol przebiegu piłokształtnego			Częstotliwość próbkowania [Hz] w notacji wykładniczej (np. 3.05E3 = 3.05*10 <sup>3</sup> Hz)					

Przyciski		
	<b>BTNU</b> Zwiększenie wartości zadawanej	
<b>BTNL</b> Zwiększ częstotliwość	<b>BTNC</b> Przełączanie między zadawaniem wartości stałej a przebiegiem piłokształtnym	<b>BTNR</b> Zmniejsz częstotliwość
	<b>BTND</b> Zmniejszenie wartości zadawanej	

Dla częstotliwości próbkowania około 3kHz zaobserwuj przebiegi na wyjściu dla różnych stanów przełączników dla różnej zadanej cyfrowo wartości wejściowej przetwornika C/A (przetwornik czterobitowy). Wyzwalanie oscyloskopu kanałem CH2 (PWM). Porównaj przebiegi otrzymane dla PWM i Sigma-delta dla wartości wejściowej równej: 1, 2, 3, 4, 8, 14. Przerysuj wybrany przebieg dla PWM i sigma-delta. W skrócie opisz różnice pomiędzy tymi przebiegami.

Zwiększ częstotliwość próbkowania do 6.25MHz lub 12.5 MHz i zaobserwuj przebiegi najlepiej dla cyfrowej wartości wejściowej 8. Dla tej częstotliwości próbkowania widoczne staje się pożyteczne działanie pasożytniczego filtra dolnoprzepustowego. Zgrubnie określ wartość średnią i międzyszczytową otrzymanych przebiegów. Uzasadnij otrzymane przebiegi.

Zmień ustawienie na zadawanie przebiegu piłokształtnego (BTNC). W tym wypadku cyfrowa wartość wejściowa nie jest stała (ustawiana za pomocą przycisków BTNU i BTNL), lecz jest ona wewnętrznie generowana wewnątrz układu FPGA w postaci przebiegu piłokształtnego. Aby uzyskać lepszą synchronizację wyzwalaj oscyloskop z kanału A (sigma-delta) i użyj zbrocza opadającego (jeśli i to nie działa użyj na oscyloskopie przycisku Run/Stop). Zaobserwuj przebiegi dla różnych częstotliwości: np. 25 MHz lub 12.5 MHz. Ustaw podstawę czasu oscyloskopu tak aby zaobserwować 16 pełnych przebiegów PWM. Uzasadnij otrzymany wynik. Warto podkreślić, że zarówno rozdzielczość przetwornika jak i nadpróbkowanie jest stosunkowo niskie, w rzeczywistych układach przebiegi są bliskie idealnemu. Aby upewnić się że otrzymane przebiegi są w rzeczywistości uśrednionym stanem wypełnienia, zmniejsz częstotliwość próbkowania (np. 3MHz) tak aż otrzymasz wyjścia w postaci 0 i 1.

#### 4. Przetworniki kompensacyjne ADC

W tym punkcie zostaną przedstawione przetworniki kompensacyjne:

1. Równomierne (ramp)
2. Nadążne (tracking)
3. Wagowy (SAR – Successive Approximation Register)

Zaprogramuj układ FPGA plikiem TC\_05.bit. Kanał CH1 to wyjście programowalnego generatora napięć i przebiegów, czyli programowalna analogowa wartość wejściowa. Dodatkowo na tym kanale jest podawany okresowy przebieg o wartości 3.3 V służący do wyzwiania oscyloskopu. Za pomocą przycisków można ustawić na kanale CH1 zadawanie dowolnej stałej wartości analogowej z zakresu 0-3,3V (napięcie zasilania układu) z rozdzielczością 8 bitów. Można także, zmieniając położenie przełącznika SW0 na „1” (prawy dolny róg płytki), włączyć generowanie przebiegu sinusoidalnego (SI) lub piłokształtnego (SA) z zadaną częstotliwością.

Kanał CH2 to wyjście 4-bitowego przetwornika DAC stanowiącego część przetwornika ADC. Wyjście Trig podaje krótki impuls w momencie, gdy na przetworniku DAC ustalona jest wartość będąca wynikiem konwersji przetwornika ADC. Kanały CH2 i CH1 mogłyby być podpięte do wejścia różnicowego układu FPGA, które działałoby jako komparator, jednak w celu zmniejszenia ilości połączeń zastosowano porównanie wartości cyfrowych wewnątrz układu FPGA. Aplikacja demonstracyjna pozwala na pokazanie działania trzech wymienionych wcześniej typów przetworników. Wszystkie są taktowane z częstotliwością 5kHz (uwaga – nie jest to częstotliwość próbkowania, a taktowania przetwornika)

Wyświetlacz							
1	2	3	4	5	6	7	8
Typ przetw.	Wartość na wyjściu generatora Typ generowanej fali		Częstotliwość generatora [Hz] w notacji wykładniczej (np. 3.05E3 = 3.05*10 <sup>3</sup> Hz)				

Przyciski		
	<b>BTNU</b> Zwiększenie wartości na wyjściu generatora Zmiana typu przebiegu (Sin/Saw.)	
<b>BTNL</b> Zmniejszanie częstotliwości generatora	<b>BTNC</b> Zmiana typu przetwornika	<b>BTNR</b> Zwiększanie częstotliwości generatora
	<b>BTND</b> Zmniejszenie wartości na wyjściu generatora Zmiana typu przebiegu (Sin/Saw.)	SW0 (prawy dolny róg płytki) „1” – generator Sin/Saw. „0” – zadawanie wart. stałej

A) Ustaw generowanie przebiegu piłokształtnego o częstotliwości 10Hz, wybieraj kolejno przetworniki A, b i C. Na podstawie obserwacji zmian sygnału na CH2 przypisz typ przetwornika do ich oznaczeń. Ustaw wyzwalenie oscyloskopu z boczem opadającym kanału CH1.

Oznaczenie przetwornika	Typ przetwornika
A	
b	
C	

B) Ustaw kilka wartości stałych (np. 10 (0x0A), 128 (0x80), 255 (0xFF) i zaobserwuj działanie wszystkich typów przetworników. Zapisz wybrane przebiegi. Co możesz powiedzieć o czasie konwersji dla tych przetworników?

C) Ustaw generowanie przebiegu piłokształtnego o częstotliwości 10 Hz. Wyzwalanie ustaw na zbocze opadające sygnału generatora (CH1). Zaobserwuj jak zachowują się różne przetworniki w dla zbocza opadającego sygnału generatora.

*D) (dla chętnych) Dla każdego przetwornika zwiększaj stopniowo częstotliwość generowanego sygnału i obserwuj jego zachowanie. W którym momencie przetworniki przestają dawać wiarygodne wyniki pomiarów?*

*E) (dla chętnych) Ustaw przetwornik typu A, generowanie sinusa o częstotliwości 5kHz. Wyłącz widoczność kanału CH1. Wyzwalanie z CH2. Co możesz zaobserwować na kanale CH2? Jaka jest częstotliwość sygnału na kanale CH2 (zmiierz za pomocą kursorów w trybie STOP oscyloskopu)? Jak nazywamy to zjawisko?*

## **5. Zadania projektowe**

POPRAWNE ZAKOŃCZENIE WSZYSTKICH POPRZEDNICH PUNKTÓW WRAZ Z UZASADNIENIAMI GWARANTUJE OCENY 3.5. JEST ONO RÓWNIEŻ WYMAGANE DO OSIĄGNIĘCIA WYŻSZEJ OCENY. Aby uzyskać wyższą ocenę (NIC NIE RYZYKUJĄC) można przystąpić do następnych punktów, które wybiera prowadzący podobnie jak to było na poprzednich zajęciach.

### **Ocena 4.0**

- 1) zaprojektuj dekodery cyfrowe używane w przetworniku Flash 3-bitowym. Wyjścia komparatorów są reprezentowane poprzez stan przełączników SW, wyjście dekodera odpowiada wyjściu przetwornika Flash (3 diody LED).
- 2) Zaprojektuj przetwornik C/A typu PWM. Dana wejściowa jest podawana za pomocą przełączników, sygnał wyjściowy jest podawany na końcówkę 'B18' układu FPGA. Stan tej końcówki może być oglądany na oscyloskopie tak jak w przypadku konfiguracji przetwornika PWM.
- 3) Przy użyciu przetwornika C/A z drabinką R-2R wygenerować jeden z poniższych przebiegów: a) piłokształtny, b) trójkątny.
- 4) Zaprojektuj przetwornik ADC nadążny (tracking).

### **Ocena 5.0**

- 5) Zaprojektuj przetwornik C/A typu Sigma-Delta – rozdzielczość bitowa ustalona przez prowadzącego, wartość wejściowa podawana za pomocą przełączników SW.
- 6) Używając pamięci Look-Up Table z odpowiednio zaprogramowaną funkcją  $\sin(t)$  (dostępny moduł rom\_sin.vhd) zbudować układ generujący przebieg sinusoidalny używając przetwornika C/A z drabinką R-2R (tylko symulacja).
- 7) Zaprojektuj przetwornik ADC z aproksymacją sukcesywną.